

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-051728

(43)Date of publication of application : 23.04.1979

---

(51)Int.Cl.

G06K 15/18

G09F 9/00

H04N 5/66

---

(21)Application number : 52-118076

(71)Applicant : SHARP CORP

(22)Date of filing : 30.09.1977

(72)Inventor : GAKO NOBUTOSHI  
YAMANE YASUKUNI  
SUZUKI CHUJI

---

## (54) DRIVING METHOD FOR PICTURE DISPLAY UNIT

### (57)Abstract:

PURPOSE: To increase the picture display speed and to avoid occurrence of the flicker by setting up the erase period and the write period alternately to the electrode line group every field.

CONSTITUTION: The write of the video signal is performed in the line sequential color TV system with the interlace scanning given. The erase of the odd lines and the write of the even lines are carried out for matrix panel MP in the first field of the TV signal, and the write of the odd lines and the erase of the even lines are performed in the second field respectively. The light emission is secured by the maintenance pulse for the period (1/2 full period) during which the erase pulse is applied after the write pulse. The write and erase pulses are applied in such timing, eliminating occurrence of the flicker

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of  
rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

## ⑫公開特許公報(A)

昭54—51728

⑤Int. Cl.<sup>2</sup> 識別記号 ⑥日本分類 庁内整理番号 ③公開 昭和54年(1979)4月23日  
 G 06 K 15/18 1 0 1 97(7) B 4 7629—5 B  
 G 09 F 9/00 97(5) F 3 7013—5 C 発明の数 1  
 H 04 N 5/66 101 E 0 6246—5 C 審査請求 未請求

(全 6 頁)

## ⑭画像表示装置の駆動方法

大阪市阿倍野区長池町22番22号  
 シャープ株式会社内

⑮特 願 昭52—118076

⑯発 明 者 鈴木忠二

⑰出 願 昭52(1977)9月30日

大阪市阿倍野区長池町22番22号  
 シャープ株式会社内

⑱発 明 者 賀好宣捷

⑰出 願 人 シャープ株式会社

大阪市阿倍野区長池町22番22号

大阪市阿倍野区長池町22番22号

シャープ株式会社内

同

山根康邦

⑱代 理 人 弁理士 福士愛彦

## 明 細 書

## 1. 発明の名称

画像表示装置の駆動方法

## 2. 特許請求の範囲

1. 印加電圧と発光輝度との間に履歴特性を有し、マトリックス電極構造部にパルス電圧を印加することにより動画像表示を実行する画像表示装置において、前記マトリックス電極構造部の電極ラインは群分割された第1の電極ライン群と第2の電極ライン群とから成り、該第1の電極ライン群と第2の電極ライン群を1フィールドでそれぞれ消去期間と書き込み期間とに対応せしめ、フィールド毎に前記各電極ライン群に消去期間と書き込み期間を交互に設定して画像表示速度を高速化することを特徴とする画像表示装置の駆動方法。

## 3. 発明の詳細な説明

本発明はメモリー機能を有するEL素子を使用したテレビジョン画像等の動画像を表示する画像表示装置に関するものである。

MnをドーピングしたZnS、ZnSe等の半導体発光薄膜を $Y_2O_3$ 、 $Si$ 、 $N$ 、 $TiO_2$ 、 $SiO_2$ 、 $SiO_2$ 、 $Ta_2O_5$ 等の誘電体薄膜でサンドイッチした三層構造ZnS:Mn(又はZnSe:Mn)薄膜EL素子は数KHzのAC電圧印加によって高輝度発光し、しかも長寿命であるという特徴を有している。またこの薄膜EL素子の発光に関しては印加電圧を昇圧していく過程と高電圧側より降圧していく過程で、同じ印加電圧値に対して発光輝度が異なるといったヒステリシス特性を有していることが発見され、そしてこのヒステリシス特性を有するEL素子に印加電圧を昇圧する過程に於いて、光、電界、熱等が付与されるとEL素子はその強度に対応した発光輝度の状態に励起され、光、電界、熱等を除去して元の状態に戻しても発光輝度が高くなった状態に留まるといったメモリー現象が存在することが知られている。

一般にEL素子を表示素子として用いる場合第1図(a)(b)に示す如くマトリックス型電極配置が採用される。第1図で、1はガラス板、2は格子状

特開昭54-51728(2)

に配置した透明電極、3は $Y_1, O_2$ 等の誘電物質、4は $M_n$ 等をドープした $ZnS$ 等の発光層、3'は3と同じ誘電物質、5は電極2と直交するように配置したアルミニウム等から成る背面電極である。かかる構造の素子において透明電極群2のうちの1つと背面電極群5のうちの1つに適当な交流電圧を加えると、この2つの電極の交叉した部分のみが発光する。これが画面の絵素に相当する。

いまマトリックス型EL素子の絵素に両極性パルス印加した時の印加電圧と発光輝度との関係を第2図(a)(b)(c)に示す。EL素子に、第2図(a)に示す如く、 $t_1, t_2$ のタイミングで振幅 $+V_S$ の維持パルス印加したときの発光輝度は第2図(b)(c)で示す如く $B_S$ である。次に $t_1$ のタイミングで振幅 $V_W$ の書込パルス印加すると瞬時的に $B_W$ の輝度で発光し、 $t_1 \sim t_2$ のタイミングで印加される振幅 $+V_S$ の維持パルスでは発光輝度は $B_W$ となる。次に $t_2 \sim t_3$ のタイミングで振幅 $+V_R$ の消去パルス印加すると発光輝度は減

(3)

すは各発生器14, 15, 16から出力駆動回路17を通して電極群 $Y_1, Y_2, \dots, Y_n$ に与えられる。これら一連の信号の流れは、クロック発生回路13からのクロックとTV同期信号を合成してタイミングパルスを作るタイミング制御回路9によって制御される。このように配置されたディスプレイパネルを構成する絵素のうち、所望する絵素のみを選択する場合、各電極が水平、又は垂直の各行各列の絵素に共通であるため、各電極の電圧を印加する場合工夫を要する。

今第3図のように $n$ 行 $m$ 列の電極で構成されている絵素のうち、 $i$ 列目の電極 $X_i$ と $j$ 行目の電極 $Y_j$ で交叉している絵素 $(i, j)$ 書込まれた後、維持パルスで発光が維持されて、更にその後消去される場合の、電極 $X_i, Y_j$ と絵素 $(i, j)$ に印加される電圧波形 $V_{X_i}, V_{Y_j}, V(i, j)$ のタイムチャートを第4図(a)(b)(c)に示している。第4図(a)はELパネルを用いた場合の上記印加電圧に対応した絵素 $(i, j)$ の発光波形である。第4図において④は書込みパルス、⑤は

(b)

少し $t_{11}, t_{12}$ で印加される維持パルス発光輝度は再び $B_S$ となる。発光輝度と印加電圧との間には、第2図(b)で示すときと履歴特性がある。

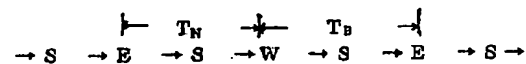
以上のとき特性を持つEL素子を表示パネルとして組み込んだ画像表示装置の表示方式について、第3図、第4図とともに説明する。

第3図は $(m \times n)$ の絵素を有するマトリックス電極構造のELパネルを有する画像表示装置の基本的構成ブロック図である。

ELパネル18の $(X_1, X_2, \dots, X_m, ) (Y_1, Y_2, \dots, Y_n)$ はそれぞれ水平、垂直に配置された電極群である。より入力された複合映像信号は、信号分離回路7にて映像信号と同期信号に分離されそれぞれは信号処理回路8及びタイミング制御回路9へと導かれる。信号処理回路8は映像信号を順次サンプリングし、これを保持回路10に送り出す。これらの信号に応じて書込パルス発生器11から変調された書込パルスが出力駆動回路12を通して電極群 $X_1, X_2, \dots, X_m$ に与えられる。一方維持パルス、消去パルス、選択パル

(4)

維持パルス、④は消去パルスである。また⑤は列電極に与えられる書込み信号パルス、⑥は行選択パルスである。通常このようなマトリックス型ディスプレイによく用いられる順次走査方式は、この消去パルス及び行選択パルスが1行ずつ順次選択されて各行を順次発光させる方式である。従ってメモリー付パネルで表示を行う際には特に重ね書きなどしない場合は、それが多階調表示であれば、2値表示であれ各絵素には



という各パルスが与えられることになる。ここで

$S$ は 維持パルス印加期間

$E$ は 消去パルス印加期間

$W$ は 書込選択パルス印加期間

である。尚各パルスは単発の場合も複数発の場合もあり得る。この場合各絵素は $T_N$ が非発光期間、 $T_B$ が発光期間である。そこでTV表示のように一定時間間隔で書込、消去を行う場合、 $T_N$ 期間

(c)

に対する  $T_w$  期間の比を大きくとればそれだけ画面が明るくなり、メモリー付パネルが大画面表示に適することになる。

標準のテレビジョン信号において、1フレームは第1フィールドおよび第2フィールドよりなる。映像信号の書込は1水平走査線の信号を同時に書込む順次で行なわれ、かつインターレース方式を採用した場合、マトリックスパネルの奇数ライン ( $Y_1, Y_3, Y_5, \dots$  等の奇数電極)、偶数ライン ( $Y_2, Y_4, Y_6, \dots$  等の偶数電極) に書込および消去パルス印加するタイミングを第5図で示されるように、フィールド ( $\frac{1}{60}$  秒間) ごとに切替える。第5図において  $\times$  印は消去パルス印加するタイミング、 $\circ$  印は書込パルス印加するタイミングである。書込パルスが印加されてから、消去パルスが印加されるまで全期間の  $\frac{3}{4}$  は発光しており、画像表示速度は15枚/秒である。この場合フリッカーが若干目立ちかつ動きの速い画像には追従できない等の問題点が残されていた。

本発明は上記現状に鑑み、画像表示速度が30枚/秒

(7)

したとすると1フィールドには80本の偶数ラインに書込パルスが印加される。標準テレビジョン信号において、1フィールド間に含まれる走査線数は262.5本であるが、このうち映像信号の含まれるのは約240本である。カウンタにより240個の水平同期信号をカウントし、そのうちより80個取り出せばよい。第7図で  $V_p$  は垂直同期信号、 $H_p$  は水平同期信号である。 $P_a$  は  $V_p$  信号を基準として発生させる信号であり、240個の  $H_p$  信号のカウントを開始するタイミングに用いられる。 $SPL$  はサンプリング期間を示す信号である。 $SEL$  は書込選択パルスであり、書込パルスが印加される垂直走査電極を選ぶためのものである。第7図に示されているように第1フィールドにおいては、奇数番目の電極 ( $Y_1, Y_3, Y_5, Y_7, \dots, Y_{159}$ ) に1個ずつ書込選択パルスが印加される。 $P_{EM}$  は、負電圧消去パルス、 $P_{EP}$  は、正電圧消去パルスであり、第1フィールドにおいてはマトリックスパネルの偶数番目の電極 ( $Y_2, Y_4, Y_6, \dots, Y_{160}$ ) に印加される。たとえば  $Y_2$

(8)

特開昭54-51728(3) となる回路方式を提供することにより上記問題点を有効に解決することを目的とする。

第6図に本発明の1実施例であるタイミングチャートを示す。映像信号の書込みは線順次方式で行ない、かつインターレース走査を行なうこととする。テレビジョン信号の第1フィールドにおいてはマトリックスパネルの奇数ラインの書込および偶数ラインの消去を行なう。第2フィールドにおいてはマトリックスパネルの奇数ラインの消去および偶数ラインの書込を行なう。書込パルスが印加されてから消去パルスが印加されるまでの期間 (全期間の  $\frac{1}{2}$ ) は維持パルスにより発光している。前述したときタイミングで、書込および消去パルス印加すればフリッカーは生じなくなる。

1実施例としてマトリックスパネルの垂直走査電極数が160本のときの、各種タイミングパルスの関係を第7図に示す。インターレース走査を行なう場合は、ある1フィールド間 ( $\frac{1}{60}$  秒間) で80本の電極の奇数ラインに書込パルスを印加

(9)

電極には図に示す8個の消去パルスを印加すればよい。消去パルスの数はタイミングを考慮することにより変えることができる。 $P_{EM}$  は負電圧維持パルス、 $P_{EP}$  は正電圧維持パルスを印加するタイミングを示す。 $P_{EM}$  と  $P_{EP}$  を続いて印加するのは  $DL$  の過渡特性による発光輝度ムラを減少させるためである。第7図の例では維持パルスはこの場合水平同期信号の25個おきに発生させており周期は約1.6 msec である。第2フィールドにおいては、書込選択パルスおよび消去パルスが印加されるラインは奇数および偶数ラインについて逆となる。書込選択パルスおよび消去パルスを発生させるタイミングは第7図と同様に考えることができる。

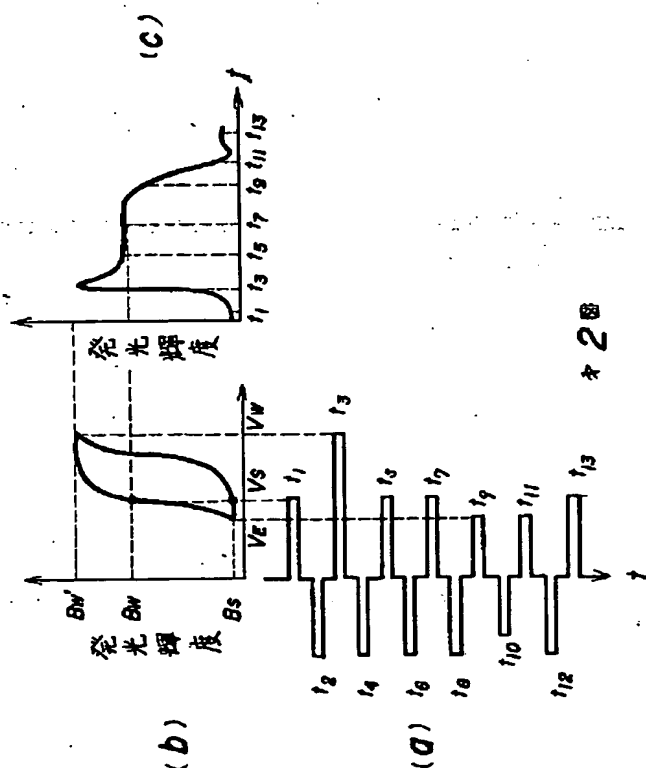
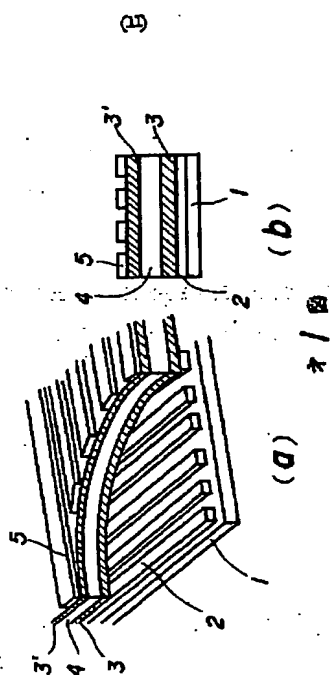
第8図に本発明の方式を採用した画像表示装置の構成ブロック図を示す。入力端子1より入力された複合映像信号は、信号分離回路20にて、映像信号21、水平および垂直同期信号22に分離される。映像信号21はさらに、信号処理回路23により時間的に順次サンプリングパルスで抽

出され、アナログ信号がデジタル信号に交換され、保持回路24で一定期間保持され、その後水平駆動回路25によりELパネルの水平電極群 $X_1 \sim X_m$ に印加される。26はクロックパルス発生回路であり、この回路からの信号はタイミングパルス発生回路27で水平および垂直同期信号22と合成され、各回路のタイミング制御信号を発生する。28は選択パルスタイミング信号発生回路29は消去パルスタイミング信号発生回路でありマトリックス回路31で選択・消去パルスが合成され32の垂直駆動回路に印加される。30は維持パルスタイミング信号発生回路であり、出力信号は垂直駆動回路32に印加される。垂直駆動回路32の出力はELパネルの垂直電極群 $Y_1 \sim Y_n$ に印加される。

以上詳説した如く画像表示速度を30枚/秒とすれば、フリッカーはなくなり、良好な画像を得ることができる。

#### 4 図面の簡単な説明

第1図(a)(b)はマトリックス構造EL素子の一部



特開昭54-51728(4)  
切欠斜視図及び断面図、第2図(a)(b)(c)はEL素子に印加されるパルス波形、ELの発光輝度と印加電圧との関係及び発光輝度を示す図、第3図は画像表示装置の基本的構成を示すブロック図、第4図は第3図の画像表示装置に印加される電圧波形のタイムチャート図、第5図は画像表示速度が15枚/秒のときのタイミングチャート図、第6図は画像表示速度が30枚/秒のときのタイミングチャート図、第7図は各種パルス信号のタイミングチャート図、第8図は本発明の方式を採用した画像表示装置の構成を示すブロック図である。

代理人 井理士 福士 愛蔵

Figure 6 illustrates the timing of clock cycles for odd and even numbers of clock cycles. The top diagram shows a 171.4ns period divided into four 1/60ns intervals. The bottom part shows three waveforms: 1) Odd number of clock cycles (奇数電極) with a 1/59ns period, showing a transition from high to low. 2) Even number of clock cycles (偶数電極) with a 1/60ns period, showing a transition from low to high. 3) A combined waveform showing the relationship between the two.

16ビットデータバス 1/60秒 偶数ライン消去期間

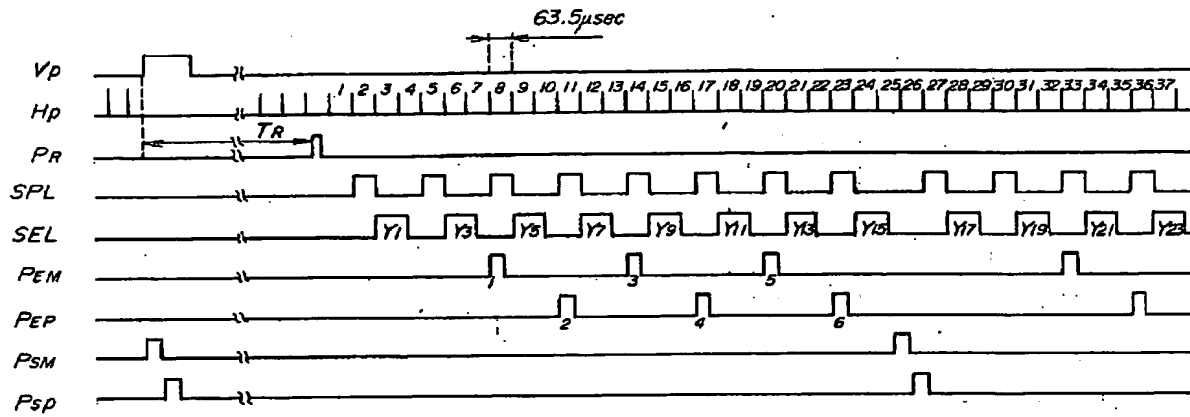
16ビットアドレスバス 1/60秒 偶数ライン消去期間

16ビットデータバス 1/60秒 奇数ライン消去期間

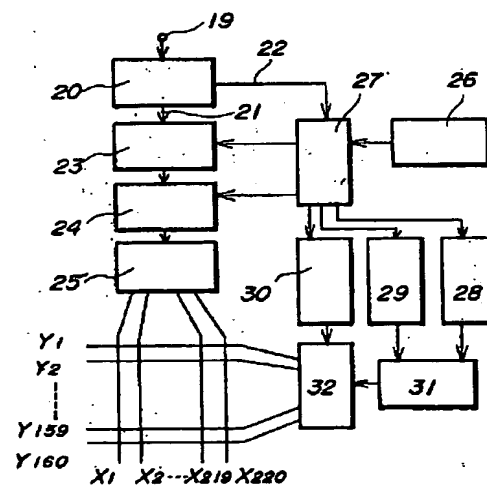
16ビットアドレスバス 1/60秒 奇数ライン消去期間

1/16電極 1/32電極 1/160電極 1/32電極 1/160電極

奇数電極 偶数電極



★ 7 図



★ 8 國